

PUBLICATION NUMBER : 02281975
PUBLICATION DATE : 19-11-90

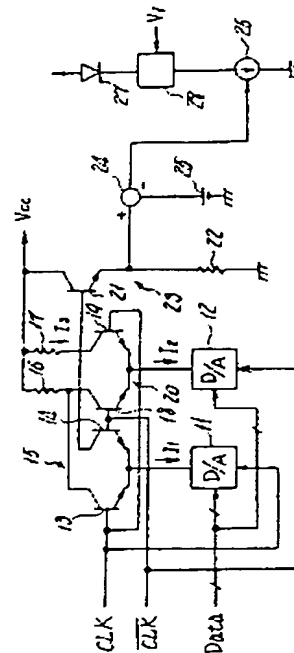
APPLICATION DATE : 24-04-89
APPLICATION NUMBER : 01104092

APPLICANT : RICOH CO LTD;

INVENTOR : EMA HIDETOSHI;

INT.CL. : B41J 2/44 H01S 3/103 // G03G 15/04

TITLE : SEMICONDUCTOR LASER LIGHT
QUANTITY CONTROL SIGNAL
GENERATOR



ABSTRACT : PURPOSE: To prevent a semiconductor laser light quantity control signal from being affected by the glitch settling time of a D/A converter by a method wherein digital data is successively converted to analog signals, and each analog signal is determined, successively fetched by a plurality of switching circuits, and outputted as a semiconductor laser light quantity control signal.

CONSTITUTION: Digital data to be converted to analog signals to be outputted as semiconductor laser light quantity control signals is inputted to current output-type D/A converters 11, 12 with the number of bits in accordance with a required resolving power. The D/A converters 11, 12 start the conversion of the input data to analog signal currents I_1 , I_2 at the rising timing of a clock signal CLK. After a settling time depending on the D/A converter elapses, output currents become the analog signal currents I_1 , I_2 that have been determined at the rising timing of the clock signal CLK correspondingly to the input data. The analog signal currents I_3 , I_2 have been held until a next clock signal CLK rising. In this manner, a semiconductor laser light quantity control signal can be generated at high speed without being affected by the glitch settling time of the D/A converter.

COPYRIGHT: (C)1990,JPO&Japio

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-281975

⑬ Int.Cl.⁹ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)11月19日
B 41 J 2/44
H 01 S 3/103
// G 03 G 15/04 116 7377-5F
8607-2H
7612-2C B 41 J 3/00 D
審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体レーザ光量制御信号生成装置

⑯ 特 願 平1-104092

⑰ 出 願 平1(1989)4月24日

⑱ 発 明 者 江 間 秀 利 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑳ 代 理 人 弁 理 士 樺 山 亨

明 細 書

発明の名称

半導体レーザ光量制御信号生成装置

特許請求の範囲

順次にセットアップされてデジタルデータを順次にアナログ信号に変換する複数個のデジタル／アナログ変換器と、この複数個のデジタル／アナログ変換器からの各アナログ信号をその確定後に順次に取り出してこのアナログ信号を半導体レーザ光量制御信号として出力する複数個のスイッチング回路とを備えた半導体レーザ光量制御信号生成装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体レーザの光量を制御するためのアナログ信号を生成する半導体レーザ光量制御信号生成装置に関する。

(従来の技術)

半導体レーザはその順方向電流を変化させることによってそのレーザ光出力強度を高速に変調す

ることができるので、レーザプリンタ等の光源として多用されている。その反面、半導体レーザは過大な入力電流等により簡単に劣化し又は破損するので、半導体レーザの順方向電流波形はオーバーシュート、リングング等が生じないようにする必要がある。また、半導体レーザを用いたレーザプリンタ等において階調性を向上させるために半導体レーザの書き込みレーザ光強度を変化させる方式が考えられている。この方式は階調性を上げるために、アナログ的に変化する発光指令信号により半導体レーザの順方向電流を制御するものであり、その発光指令信号からなる半導体レーザ光量制御信号の分解能を容易に上げるためにデジタル／アナログ(D/A)変換器にてデジタルデータをアナログ信号に変換して半導体レーザ光量制御信号としている。ところが、一般に知られているようにD/A変換器は切り換え時にグリッジと呼ばれる過渡状態になって出力信号にオーバーシュート、リングング等が発生するので、その出力信号をそのまま半導体レーザ光量制御信号とす

ることとはできない。そこで、D/A変換器からの半導体レーザ光束制御信号を低域通過フィルタ等に通すことによって動作速度を落とすもの①や、D/A変換器のD/A変換時に半導体レーザの順方向電流を流さないようにするもの②(特願昭63-51158号参照)が提案されている。

〔発明が解決しようとする課題〕

上記方式はアナログ的に変化する半導体レーザ光束制御信号の生成が次の理由により困難であったので、有効性は認められても実施には至っていない。

アナログ的に変化する半導体レーザ光束制御信号を生成するためにD/A変換器を使用することが有効であるが、D/A変換器のグリッチにより半導体レーザが破損してしまう。そこで、上記①や②のものが提案されているが、①のものは動作速度を落とさなければならない。また②のものは半導体レーザを用いたレーザプリンタ等では半導体レーザの1ドット分の全光束値により階調を表現するので、D/A変換器のセトリング時間に半

導体レーザから出力される光束が階調再現性を困難なものとしてしまう。

本発明は上記事情に鑑み、D/A変換器のグリッチ、セトリング時間の影響を受けない半導体レーザ光束制御信号生成装置を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するため、本発明は順次にセットアップされてディジタルデータを順次にアナログ信号に変換する複数のD/A変換器と、この複数のD/A変換器からの各アナログ信号をその確定後に順次に取り出してこのアナログ信号を半導体レーザ光束制御信号として出力する複数のスイッチング回路とを備えるようにしたものである。

〔作 用〕

複数のD/A変換器が順次にセットアップされてディジタルデータを順次にアナログ信号に変換し、この複数のD/A変換器からの各アナログ信号がその確定後に複数のスイッチング回路

により順次に取り出されてこのアナログ信号が半導体レーザ光束制御信号として出力される。

〔実施例〕

第1図は本発明の一実施例を示し、第2図はその動作タイミングを示す。

アナログ信号に変換して半導体レーザ光束制御信号とすべきディジタルデータDataが必要な分解能に応じたビット数で電流出力型のD/A変換器11,12に入力される。

D/A変換器11はクロック信号CLKの立上りのタイミングで入力データDataのアナログ信号電流 I_1 への変換を開始し、D/A変換器により決まるセトリング時間かかって出力電流がクロック信号CLKの立上りのタイミングに確定していた入力データDataに対応したアナログ信号電流 I_1 となり、次にクロック信号CLKが立ち上がるまでそのアナログ信号電流 I_1 を保持する。

D/A変換器12はクロック信号CLKと位相が180°異なっているクロック信号CLKの立上り(クロック信号CLKの立ち下がり)のタイミングで入力デー

タDataのアナログ信号電流 I_2 への変換を開始し、D/A変換器により決まるセトリング時間かかって出力電流がクロック信号CLKの立上りのタイミングに確定していた入力データDataに対応したアナログ信号電流 I_2 となり、次にクロック信号CLKが立ち上がるまでそのアナログ信号電流 I_2 を保持する。

D/A変換器11の出力電流 I_1 はトランジスタ13,14により構成されている高速の差動スイッチング回路15へ供給され、トランジスタ13,14のベースにはクロック信号CLK、CLKがそれぞれ印加される。クロック信号CLKが高レベルH1の時にはトランジスタ13がオンしてトランジスタ14がオフとなり、D/A変換器11の出力電流 I_1 はトランジスタ13を通して抵抗16に流れる。クロック信号CLKが低レベルL0の時にはトランジスタ14がオンしてトランジスタ13がオフとなり、D/A変換器11の出力電流 I_1 はトランジスタ14を通して抵抗17に流れる。D/A変換器12の出力電流 I_2 はトランジスタ18,19により構成されている高速の差動

特開平2-281975 (3)

スイッチング回路20へ供給され、トランジスタ18, 19のベースにはクロック信号CLK, CLKがそれぞれ印加される。クロック信号CLKが高レベルHIの時にはトランジスタ19がオンしてトランジスタ18がオフとなり、D/A変換器12の出力電流 I_2 はトランジスタ19を通して抵抗17に流れる。クロック信号CLKが低レベルLOの時にはトランジスタ18がオンしてトランジスタ19がオフとなり、D/A変換器12の出力電流 I_1 はトランジスタ18を通して抵抗16に流れる。

トランジスタ21及び抵抗22はバッファ増幅器23を構成し、抵抗17とトランジスタ14, 19との接続点の電圧が入力される。

したがって、第2図に示すようにクロック信号CLKが高レベルHIの間II, IV, VI...の時には抵抗16に電流 I_1 が流れ、バッファ増幅器23の出力電圧は $V_{cc} - R_2 \cdot I_1$ となる。なお V_{cc} は電源電圧、 R_2 は抵抗17の抵抗値である。クロック信号CLKが低レベルLOの間III, V, VII...の時には抵抗16に電流 I_2 が流れ、バッファ増幅器23の出力電圧は

$V_{cc} - R_2 \cdot I_2$ となる。このバッファ増幅器23の出力電圧は半導体レーザ光量制御信号として出力される。

ここに、D/A変換器11, 12の出力電流 I_1, I_2 が入力データDataに対応するアナログ信号電流値に確定した後に差動スイッチング回路15, 20が動作するようにD/A変換器11, 12のセトリング時間とクロック信号CLKの周波数が選ばれている。また、差動スイッチング回路15, 20は高速に動作するトランジスタ13, 14, 18, 19により構成されている。

よって、入力データDataはD/A変換器11, 12の過渡特性の影響を受けないで高速に半導体レーザ光量制御信号に変換される。

バッファ増幅器23からの半導体レーザ光量制御信号は加減算器24にてバイアス電源25のバイアス電圧が減算され、この加減算器24の出力電流により電流源26の電流が制御される。半導体レーザ27は電流源26からスイッチング回路28を介して順方向電流が供給され、この順方向電流がスイッチン

グ回路28で情報信号V_iによりオン/オフされる。したがって、半導体レーザ27は上記半導体レーザ光量制御信号により順方向電流が制御されて光出力強度が制御される。

第4図は本発明の他の実施例を示す。

この実施例では上記実施例において電流出力型のD/A変換器11, 12に代えて電圧出力型のD/A変換器29, 30が用いられ、トランジスタ31, 32及び抵抗33, 34からなる定電流回路35, 36が追加されて抵抗16が省略される。D/A変換器29, 30はD/A変換器11, 12と同様にD/A変換を行ってアナログ電流ではなくてアナログ電圧を出力し、このD/A変換器29, 30の出力電圧が定電流回路35, 36により電流に変換されて差動スイッチング回路15, 20に供給される。

第3図は本発明の別の実施例を示す。

この実施例では上記第1図の実施例において抵抗17の代りに半導体レーザ27が接続され、抵抗16及びバッファ増幅器23以下の回路が省略されている。またD/A変換器11, 12には別々のデータDa

tal, Data2が入力され、半導体レーザ27は差動スイッチング回路15, 20から半導体レーザ光量制御信号が直接に順方向電流として供給されて光出力強度が制御される。

(発明の効果)

以上のように本発明によれば順次にセットアップされてディジタルデータを順次にアナログ信号に変換する複数のD/A変換器と、この複数のD/A変換器からの各アナログ信号をその確定後に順次に取り出してこのアナログ信号を半導体レーザ光量制御信号として出力する複数のスイッチング回路とを備えたので、D/A変換器のグリッチ、セトリング時間の影響を受けない半導体レーザ光量制御信号を高速で生成することができる。図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は同実施例の動作タイミングを示すタイミングチャート、第3図及び第4図は本発明の他の各実施例を示す回路図である。

11, 12, 29, 30... D/A変換器、15, 20... 差動ス

イッチング回路。

Timing diagram for the 74LS161 counter. The diagram shows the relationship between Data (1-7), CLK, HI, LO, I₂, I₁, I₀, and the output signals I, II, III, IV, V, VI, VII. The clock signal CLK is shown as a square wave. The HI and LO signals are also square waves. The I₂, I₁, and I₀ signals are shown as waveforms with spikes. The output signals I, II, III, IV, V, VI, and VII are shown as square waves.

The circuit diagram shows a 1-bit DAC. It features a differential pair of NMOS transistors (13, 14) with their sources connected to ground (17). The gates of these transistors are driven by a differential-mode clock signal (CLK, CLK-bar). The drains are connected to a current mirror load consisting of PMOS transistors (15, 16) and a resistor (17). The output of the first stage is a differential signal (23, 24) which is then amplified by a second stage (25, 26) to produce a single-ended output (27, 28). The circuit also includes a data input (Data) connected to a DAC core (29, 30) and a feedback path (31, 32) to a second DAC core (33, 34).